

(43)公開日 平成12年1月14日(2000.1.14)

(51) Int.Cl. <sup>7</sup>	識別記号
G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0

FI			テ-マ-ト* (参考)
G09G	3/36		2H093
G02F	1/133	550	5C006

審査請求 未請求 請求項の数5 OL (全 5 頁)

(21)出願番号 特願平10-173055

(22)出願日 平成10年6月19日(1998. 6. 19)

(71)出願人 000221339  
東芝電子エンジニアリング株式会社  
神奈川県川崎市川崎区日進町7番地1

(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72)発明者 佐藤 清 一  
神奈川県川崎市川崎区日進町7番地1 東  
芝電子エンジニアリング株式会社内

(74)代理人 100064285  
弁理士 佐藤 一雄 (外3名)

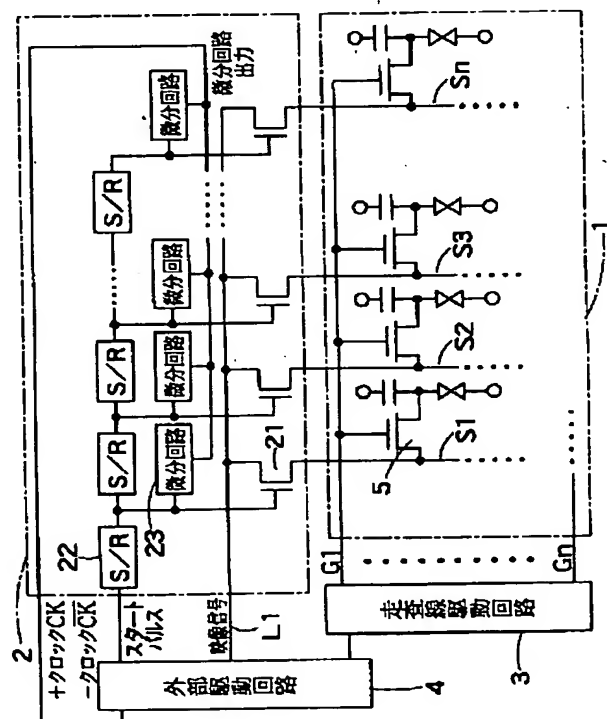
**最終頁に続く**

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示品質の優れた液晶表示装置を提供する。

【解決手段】 本発明の信号線駆動回路は、画素アレイ部１と同一基板に形成される信号線駆動回路２と、別基板に形成される外部駆動回路４とを有する。信号線駆動回路２は、各信号線に接続されるアナログスイッチ２１と、各アナログスイッチ２１のゲート電圧を制御するシフトレジスタ２２と、シフトレジスタ２２の各出力端子に接続される微分回路２３とを有する。各アナログスイッチ２１の一端には、映像信号を供給するビデオバスラインＬ１が接続される。各アナログスイッチ２１は、シフトレジスタ２２から出力されるシフトパルスに応じてオン・オフする。シフトレジスタ２２の出力を微分回路２３で微分して幅狭のパルスを生成し、このパルスを外部駆動回路４にフィードバックしてビデオバスラインＬ１に映像信号を供給するタイミングを設定する。



(2)

1

## 【特許請求の範囲】

【請求項1】列設された画素表示部のそれぞれに映像信号を供給する複数の信号線と、シフトパルスを順次転送し並列出力するシフトレジスタと、前記シフトレジスタの各出力に接続された複数の微分回路と、外部から入力される画像データを前記シフトパルスに同期して並列アナログ信号に変換し前記各信号線に出力する直並列変換回路と、前記複数の微分回路の各出力に基づいて、画像データの

前記直並列変換回路への入力タイミングを設定するタイミング設定回路と、を有することを特徴とする液晶表示装置。

【請求項2】前記直並列変換回路は、前記画像データをアナログビデオ信号に変換してビデオバスに出力するD/A変換回路と、前記ビデオバス上のアナログ信号を前記シフトパルスの入力タイミングでサンプリングし、前記並列アナログ信号として各信号線に出力する複数のアナログスイッチとを有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記タイミング設定回路は、前記画像データを蓄積するメモリを有し、複数の微分回路の出力に基づいて、前記メモリ内に格納された前記画像データの読み出しタイミングを設定することを特徴とする請求項1に記載の液晶表示装置。

【請求項4】前記シフトレジスタおよび前記複数の微分回路は、前記画素表示部と同一基板上に形成され、前記タイミング設定回路は、前記画素表示部とは異なる基板上に形成されることを特徴とする請求項1～3のいずれかに記載の液晶表示装置。

【請求項5】前記微分回路出力は、共通のバスに接続され、この共通のバスを介して前記タイミング設定回路に

入力されることを特徴とする請求項1に記載の液晶表示装置。

## 【発明の詳細な説明】

【0001】  
【発明の属する技術分野】本発明は、液晶表示装置内の信号線の駆動方式に関し、特に、信号線駆動回路の少なくとも一部を画素アレイ部と同一基板上に形成する場合を対象とする。

【0002】  
【従来の技術】アクティブマトリクス型の液晶表示装置は、列設された信号線と走査線の各交点付近に画素表示用のTFT(Thin Film Transistor)を配置した画素アレイ部と、各信号線を駆動する信号線駆動回路と、各走査線を駆動する走査線駆動回路とを有する。

【0003】近年、製造コスト削減のため、信号線駆動回路や走査線駆動回路の少なくとも一部を、画素アレイ

2

部と同一の透明絶縁基板上に形成する例が増えてきた。

【0004】信号線駆動回路の駆動方式の一つとして、映像信号を供給するビデオバスラインにアナログスイッチを接続し、シフトレジスタから出力されたシフトパルスに応じてアナログスイッチをオン・オフする駆動方式が知られている。

【0005】表示品質をよくするには、シフトレジスタから出力されるシフトパルスの出力タイミングとビデオバスライン上の映像信号のタイミングとを合わせる必要がある。

## 【0006】

【発明が解決しようとする課題】理想的には、シフトパルスの立ち下がりに同期して映像信号を切り換えるのが望ましい。しかしながら、信号線駆動回路内の各TFTの電気的特性は必ずしも同じにはならず、シフトパルスのタイミングと映像信号のタイミングとがずれるおそれ大きい。このようなタイミングのずれが起きると、アナログスイッチのスイッチング動作と、対応する映像信号がアナログスイッチに供給される時期が互いに大きくずれ、各画素に前画素や次画素に書き込まれるべき映像信号が書き込まれてしまい、その結果ゴーストが発生し、表示品質が著しく悪くなってしまう。

【0007】本発明は、このような点に鑑みてなされたものであり、その目的は、表示品質の優れた液晶表示装置を提供することにある。

## 【0008】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、列設された画素表示部のそれぞれに映像信号を供給する複数の信号線と、シフトパルスを順次転送し並列出力するシフトレジスタと、前記シフトレジスタの各出力に接続された複数の微分回路と、外部から入力される画像データを前記シフトパルスに同期して並列アナログ信号に変換し前記各信号線に出力する直並列変換回路と、前記複数の微分回路の各出力に基づいて、画像データの

## 【0009】

【発明の実施の形態】以下、本発明に係る液晶表示装置について、図面を参照しながら具体的に説明する。図1は本発明に係る液晶表示装置の一実施形態の主要部の構成を示すブロック図、図2は図1の液晶表示装置の全体構成を示す概略ブロック図である。本実施形態の液晶表示装置は、図2に示すように、信号線S1～Snおよび走査線G1～Gnが縦横に列設された画素アレイ部1と、各信号線を駆動する信号線駆動回路2と、各走査線を駆動する走査線駆動回路3と、信号線駆動回路2および走査線駆動回路3を制御する外部駆動回路4とを有する。

【0010】画素アレイ部1は、信号線と走査線の各交

50

(3)

3

点付近に形成された画素TFT5を有し、これら画素TFT5のゲート電極には走査線が接続され、ソース電極とドレイン電極の一方には信号線が接続され、他方には液晶容量51と補助容量52が接続される。

【0011】信号線駆動回路2と走査線駆動回路3は、画素アレイ部1と同一の透明絶縁基板上に形成され、外部駆動回路4は画素アレイ部1とは別の基板に形成される。信号線駆動回路2と走査線駆動回路3内のトランジスタ(TFT)は、画素TFT5と同様のプロセスで形成される。

【0012】信号線駆動回路2は、各信号線ごとに設けられるアナログスイッチ21と、各アナログスイッチ21のゲート電圧を制御するシフトレジスタ22と、シフトレジスタ22の各出力端子に接続される微分回路23とを有する。

【0013】各アナログスイッチ21の一端には、映像信号を供給するビデオバスラインL1が接続される。各アナログスイッチ21は、シフトレジスタ22から出力されるシフトパルスに応じてオン・オフする。

【0014】シフトレジスタ22は、図3に詳細構成を示すように、クロックドインバータ31～34とインバータIV1、IV2を組み合わせる構成される。シフトレジスタ22には、外部駆動回路4からクロックCK、クロック/CKおよびスタートパルスが入力される。シフトレジスタ22内のクロックドインバータ31～34は、互いに逆論理のクロックCKとクロック/CKに基づいて動作する。また、シフトレジスタ22は、スタートパルスが入力された時点で、シフト動作を開始する。

【0015】各微分回路23は、シフトレジスタ22の対応する出力端子から出力された信号を微分する。図3に示すように、微分回路23は、PMOSトランジスタQ1、Q2とコンデンサC1とを有する。トランジスタQ1のゲート端子は接地され、シフトレジスタ22の出力は、コンデンサC1を介してトランジスタQ2のゲート電極に供給される。

【0016】図3のトランジスタQ2は増幅動作を行い、シフトレジスタ22からシフトパルスが出力されると、微分回路23の出力は図3に図示したように、立ち上がり急峻で立ち下がり緩やかな微分信号波形になる。

【0017】各微分回路23の出力端子は、図1に示すように、互いに接続されて外部駆動回路4に入力される。シフトレジスタ22から出力されるシフトパルスのタイミングは、各出力端子ごとに異なるため、外部駆動回路4に入力される信号の波形は図3に示した微分信号を所定時間間隔で複数並べた波形になる。

【0018】図4は外部駆動回路4の詳細構成を示す回路図、図5は外部駆動回路4内の各部の信号波形を示すタイミング図である。図4に示すように、外部駆動回路4は、抵抗R1と、2段縦続接続されたインバータIV

4

3、IV4と、電源端子VDD2と接地端子間に縦続接続されたダイオードD1、D2と、映像信号に対応するデジタル信号を格納する画像メモリ41と、画像メモリ41から読み出したデジタル信号をアナログの映像信号に変換するD/Aコンバータ42とを有する。

【0019】微分回路23の出力を図4のインバータIV3、IV4に通すことにより、図5の波形bのように幅狭な方形波パルスが得られる。このパルスのタイミングは、図1のシフトレジスタ22から出力されるシフトパルスのタイミングと同期している。

【0020】より詳細には、シフトパルスが出力されて、対応するアナログスイッチ21がオンした後に、対応する映像信号がビデオバスラインL1に供給される。また、インバータIV3、IV4の出力端子にダイオードD1、D2を接続することにより、インバータIV4の出力電圧レベルが電源電圧VDD2と接地電圧との間の電圧に設定される。

【0021】画像メモリ41は、インバータIV4の出力パルスのタイミングに応じて、映像信号に対応するデジタル信号を読み出してD/Aコンバータ42に供給する。D/Aコンバータ42は、デジタル信号をアナログの映像信号に変換してビデオバスラインL1に供給する。なお、画像メモリ41は、タイミング設定回路に対応する。

【0022】このように、本実施形態では、シフトレジスタ22の出力を微分回路23で微分して幅狭の方形波パルスを生成し、このパルスを外部駆動回路4にフィードバックしてビデオバスラインL1に映像信号を供給するタイミングを設定するようにしたため、信号線駆動回路2を構成するTFTの電気的特性がばらついても、映像信号のタイミングとシフトパルスのタイミングとを一致させることができ、各画素が前画素や次画素の影響を受けなくなり、表示品質を向上できる。

【0023】

【発明の効果】以上詳細に説明したように、本発明によれば、シフトレジスタから出力されるシフトパルスの微分信号に基づいて、信号線のそれぞれに映像信号を供給するタイミングを設定するようにしたため、仮にシフトレジスタ等からなる信号線駆動回路を構成するTFTの電気的特性がばらついても、シフトパルスの出力タイミングと映像信号のタイミングとを合わせることができ、液晶表示装置の表示品質を向上できる。

【図面の簡単な説明】

【図1】図1は本発明に係る液晶表示装置の一実施形態の主要部の構成を示すブロック図。

【図2】図2は図1の液晶表示装置の全体構成を示す概略ブロック図。

【図3】シフトレジスタと微分回路の詳細構成を示す回路図。

【図4】外部駆動回路の詳細構成を示す回路図。

【図5】図5は外部駆動回路内の各部の信号波形を示す

(4)

5

6

タイミング図。

【符号の説明】

- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 外部駆動回路

5 画素TFT

21 アナログスイッチ

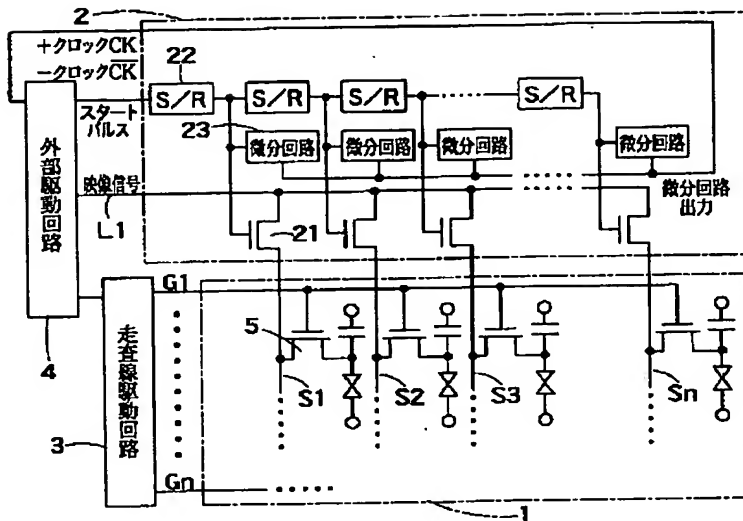
22 シフトレジスタ

23 微分回路

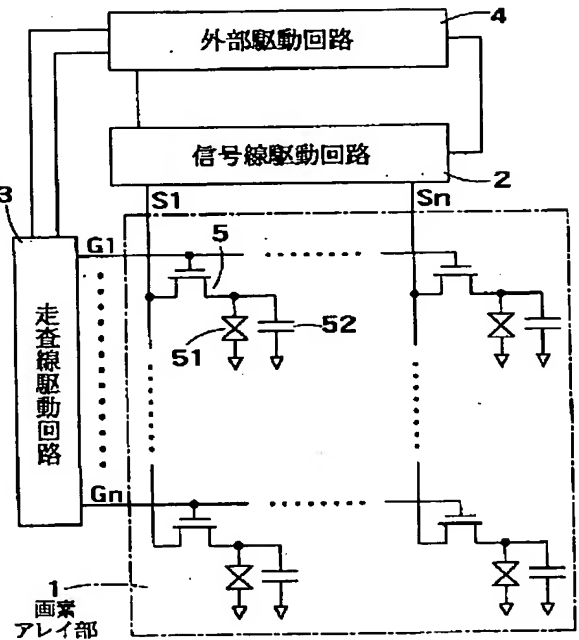
31～34 クロック・ドインバータ

IV1, IV2 インバータ

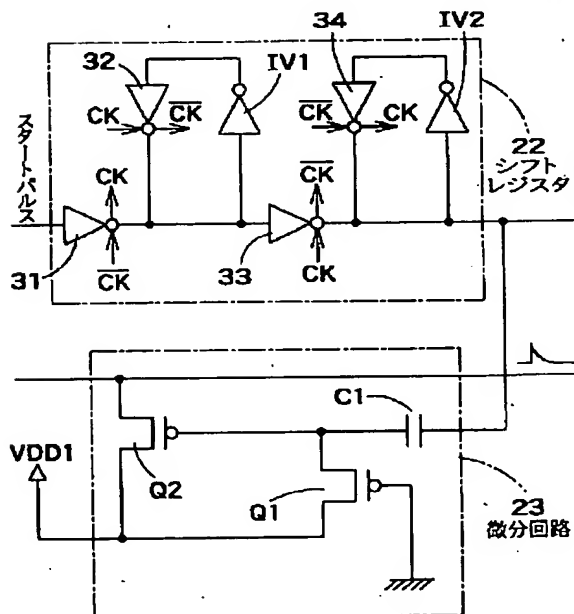
【図1】



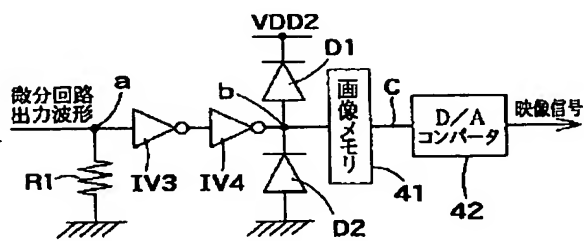
【図2】



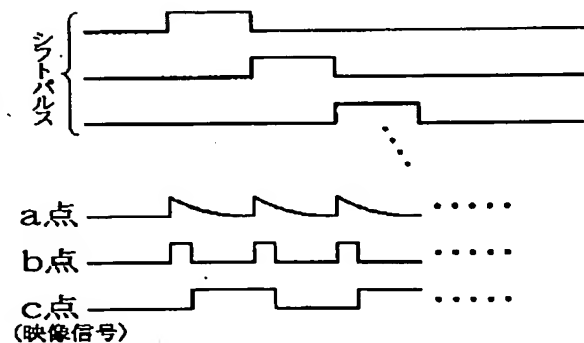
【図3】



【図4】



【図5】



(5)

フロントページの続き

(72)発明者 中 村 和 夫  
埼玉県深谷市幡羅町1-9-2 株式会社  
東芝深谷電子工場内

Fターム(参考) 2H093 NA16 NC13 NC16 NC21 NC22  
NC23 NC29 NC34 ND15 ND34  
5C006 AF51 AF72 AF82 BB16 BC13  
BC20 BF03 BF11 FA16

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-010527

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 10-173055

(71)Applicant : TOSHIBA ELECTRONIC ENGINEERING CORP  
TOSHIBA CORP

(22)Date of filing : 19.06.1998

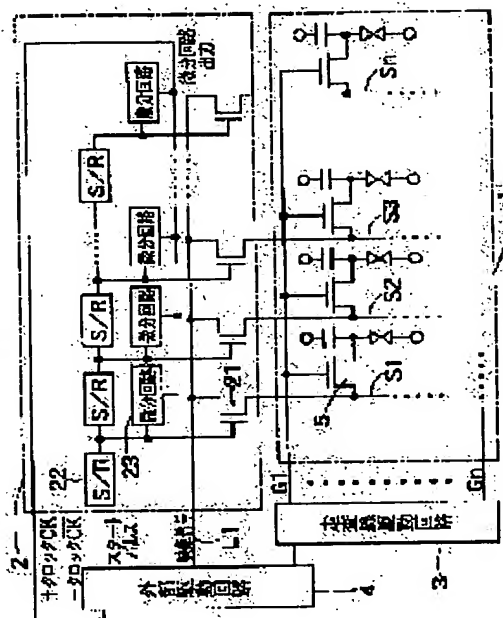
(72)Inventor : SATO SEIICHI  
NAKAMURA KAZUO

## (54) LIQUID DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display device having excellent display quality by preventing respective pixels from receiving the influence of previous pixels or next pixels in spite of a variation in the electrical characteristics of TFTs constituting a signal line driving circuit.

**SOLUTION:** The signal line driving circuit in this device has a signal line driving circuit 2 formed on the same substrate as the substrate of a pixel array section 1 and an external driving circuit 4 formed on another substrate. The signal line driving circuit 2 has a shift register 22 for controlling the gate voltage of respective analog switches 21 and a differentiating circuit 23 connected to the respective output terminals of the shift register 22. A video bus line L1 for supplying video signals is connected to the one-side ends of the respective analog switches 21. The respective analog switches 21 turn on and off according to the shift pulses outputted from the shift register 22. The timing to form the pulses of a narrow width by differentiating the output of the shift register 22 by the differentiating circuit 23 and to supply the video signals to the video bus line L1 by feeding these pulses back to the external driving circuit 4 is set.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] Two or more signal lines which supply a video signal to each of the pixel display installed successively, Two or more differential circuits which carried out the sequential transfer of the shift pulse, and were connected to each output of the shift register which carries out a juxtaposition output, and said shift register, The serial-parallel converter which changes into a juxtaposition analog signal the image data inputted from the outside synchronizing with said shift pulse, and is outputted to said each signal line, The liquid crystal display characterized by having the timing setting circuit which sets up the input timing to said serial-parallel converter of image data based on each output of two or more of said differential circuits.

[Claim 2] Said serial-parallel converter is a liquid crystal display according to claim

1 characterized by having the D/A conversion circuit which changes said image data into an analog video signal, and is outputted to a video bus, and two or more analog switches which sample the analog signal on said video bus to the input timing of said shift pulse, and are outputted to each signal line as said juxtaposition analog signal.

[Claim 3] Said timing setting circuit is a liquid crystal display according to claim 1 characterized by setting up the read-out timing of said image data which has the memory which accumulates said image data and was stored in said memory based on the output of two or more differential circuits.

[Claim 4] It is the liquid crystal display according to claim 1 to 3 which said shift register and said two or more differential circuits are formed on the same substrate as said pixel display, and is characterized by forming said timing setting circuit on the substrate with which said pixel displays differ.

[Claim 5] Said differential circuit output is a liquid crystal display according to claim 1 characterized by connecting with a common bus and being inputted into said timing setting circuit through this common bus.

---

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is aimed at the case where a part of signal-line drive circuit [ at least ] is formed on the same substrate as the pixel array section, about the drive method of the signal line in a liquid crystal display.

[0002]

[Description of the Prior Art] The liquid crystal display of a active-matrix mold has the pixel array section which has arranged TFT for a pixel display (Thin Film Transistor) near [ each ] the intersection of a signal line and the scanning line installed successively, the signal-line drive circuit which drives each signal line, and the scanning-line drive circuit which drives each scanning line.

[0003] In recent years, the example which forms a part of signal-line drive circuit and scanning-line drive circuit [ at least ] on the same transparence insulating substrate as the pixel array section has increased for manufacture cost reduction.

[0004] An analog switch is connected to the video bus line which supplies a video signal as one of the drive methods of a signal-line drive circuit, and the drive method which turns an analog switch on and off according to the shift pulse outputted from the shift register is

learned.

[0005] In order to improve display quality, it is necessary to double the output timing of the shift pulse outputted from a shift register, and the timing of the video signal on a video bus line.

[0006]

[Problem(s) to be Solved by the Invention] Ideally, it is desirable to switch a video signal synchronizing with falling of a shift pulse. However, each electrical characteristics of TFT in a signal-line drive circuit have a large possibility that it may not necessarily become the same but the timing of a shift pulse and the timing of a video signal may shift. If a gap of such timing occurs, the stage when a corresponding video signal is supplied to an analog switch will shift from the switching operation of an analog switch greatly mutually, the video signal which should be written in a front pixel or degree pixel will be written in each pixel, as a result, a ghost will occur, and display quality will get remarkably bad.

[0007] This invention is made in view of such a point, and the purpose is in offering the liquid crystal display which was excellent in display quality.

[0008]

[Means for Solving the Problem] In order to solve the technical problem mentioned above, invention of claim 1 Two or more signal lines which supply a video signal to each of the pixel display installed



successively, Two or more differential circuits which carried out the sequential transfer of the shift pulse, and were connected to each output of the shift register which carries out a juxtaposition output, and said shift register, The serial-parallel converter which changes into a juxtaposition analog signal the image data inputted from the outside synchronizing with said shift pulse, and is outputted to said each signal line, Based on each output of two or more of said differential circuits, it has the timing setting circuit which sets up the input timing to said serial-parallel converter of image data.

[0009]

[Embodiment of the Invention] Hereafter, the liquid crystal display concerning this invention is explained concretely, referring to a drawing. The block diagram showing the configuration of the principal part of 1 operation gestalt of the liquid crystal display which drawing 1 requires for this invention, and drawing 2 are the outline block diagrams showing the whole liquid crystal display configuration of drawing 1. The liquid crystal display of this operation gestalt has the pixel array section 1 by which signal lines S1-Sn and the scanning lines G1-Gn were installed in all directions successively, the signal-line drive circuit 2 which drives each signal line, the scanning-line drive circuit 3 which drives each scanning line, and the external drive circuit 4 which

controls the signal-line drive circuit 2 and the scanning-line drive circuit 3, as shown in drawing 2.

[0010] The pixel array section 1 has the pixel TFT5 formed near [ each ] the intersection of a signal line and the scanning line, the scanning line is connected to the gate electrode of these pixels TFT5, a signal line is connected to one side of a source electrode and a drain electrode, and the liquid crystal capacity 51 and the auxiliary capacity 52 are connected to another side.

[0011] The signal-line drive circuit 2 and the scanning-line drive circuit 3 are formed on the same transparence insulating substrate as the pixel array section 1, and the external drive circuit 4 is formed in substrate with the another pixel array section 1. The transistor (TFT) in the signal-line drive circuit 2 and the scanning-line drive circuit 3 is formed in the same process as a pixel TFT5.

[0012] The signal-line drive circuit 2 has the analog switch 21 formed for every signal line, the shift register 22 which controls the gate voltage of each analog switch 21, and the differential circuit 23 connected to each output terminal of a shift register 22.

[0013] The video bus line L1 which supplies a video signal is connected to the end of each analog switch 21. Each analog switch 21 is turned on and off according to the shift pulse outputted

from a shift register 22.

[0014] A shift register 22 is constituted combining clocked inverters 31-34 and inverters IV1 and IV2, as a detail configuration is shown in drawing 3. The + clock CK, - clock / CK, and a start pulse are inputted into a shift register 22 from the external drive circuit 4. The clocked inverters 31-34 in a shift register 22 operate based on the + clock CK of reverse logic, and - clock / CK mutually. Moreover, a shift register 22 starts a shift action, when a start pulse is inputted.

[0015] Each differential circuit 23 differentiates the signal outputted from the output terminal to which a shift register 22 corresponds. As shown in drawing 3, a differential circuit 23 has the PMOS transistors Q1 and Q2 and a capacitor C1. The gate terminal of a transistor Q1 is grounded and the output of a shift register 22 is supplied to the gate electrode of a transistor Q2 through a capacitor C1.

[0016] If magnification actuation is performed and a shift pulse is outputted from a shift register 22, as the output of a differential circuit 23 was illustrated to drawing 3, the transistor Q2 of drawing 3 will have a steep standup, and will become a differential signal wave form with loose falling.

[0017] It connects mutually and the output terminal of each differential circuit 23 is inputted into the external drive circuit 4, as shown in drawing 1.

Since the timing of the shift pulse outputted from a shift register 22 differs for every output terminal, the wave of the signal inputted into the external drive circuit 4 turns into about the same poor wave as plurality with a predetermined time interval in the differential signal shown in drawing 3.

[0018] The circuit diagram in which drawing 4 shows the detail configuration of the external drive circuit 4, and drawing 5 are the timing charts showing the signal wave form of each part in the external drive circuit 4. As shown in drawing 4, the external drive circuit 4 has the inverters IV3 and IV4 by which two-step cascade connection was carried out to resistance R1, the diodes D1 and D2 by which cascade connection was carried out between the power supply terminal VDD2 and the earth terminal, the image memory 41 which stores the digital signal corresponding to a video signal, and D/A converter 42 which changes into the video signal of an analog the digital signal read from the image memory 41.

[0019] A narrow square wave pulse is acquired like the wave b of drawing 5 by letting the output of a differential circuit 23 pass to the inverters IV3 and IV4 of drawing 4. The timing of this pulse synchronizes with the timing of the shift pulse outputted from the shift register 22 of drawing 1.

[0020] More, a shift pulse is outputted to

a detail, and after the corresponding analog switch 21 turns on, a video signal is supplied to the video bus line L1. Moreover, the output voltage level of an inverter IV4 is set as the electrical potential difference between supply voltage VDD2 and a touch-down electrical potential difference by connecting diodes D1 and D2 to the output terminal of inverters IV3 and IV4.

[0021] According to the timing of the output pulse of an inverter IV4, an image memory 41 reads the digital signal corresponding to a video signal, and supplies it to D/A converter 42. D/A converter 42 changes a digital signal into the video signal of an analog, and supplies it to the video bus line L1. In addition, an image memory 41 corresponds to a timing setting circuit.

[0022] Thus, with this operation gestalt, differentiate the output of a shift register 22 in a differential circuit 23, and a narrow square wave pulse is generated. Since the timing which feeds back this pulse to the external drive circuit 4, and supplies a video signal to the video bus line L1 was set up, Even if the electrical characteristics of TFT which constitutes the signal-line drive circuit 2 vary, the timing of a video signal and the timing of a shift pulse can be made in agreement, and each pixel stops influencing of a front pixel or degree pixel, and can improve display quality.

[0023]

[Effect of the Invention] Since the timing which supplies a video signal to each of a signal line was set up based on the differential signal of the shift pulse outputted from a shift register according to this invention as explained to the detail above, even if the electrical characteristics of TFT which constitutes the signal-line drive circuit which consists of a shift register etc. vary, the output timing of a shift pulse and the timing of a video signal can be doubled, and the display quality of a liquid crystal display can be improved.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the block diagram showing the configuration of the principal part of 1 operation gestalt of the liquid crystal display concerning this invention.

[Drawing 2] Drawing 2 is the outline block diagram showing the whole liquid crystal display configuration of drawing 1.

[Drawing 3] The circuit diagram showing the detail configuration of a shift register and a differential circuit.

[Drawing 4] The circuit diagram showing the detail configuration of an external drive circuit.

[Drawing 5] Drawing 5 is the timing chart showing the signal wave form of each part in an external drive circuit.

[Description of Notations]

1 Pixel Array Section

2 Signal-Line Drive Circuit

3 Scanning-Line Drive Circuit

4 External Drive Circuit

5 Pixel TFT

21 Analog Switch

22 Shift Register

23 Differential Circuit

31-34 Clocked inverter

IV1, IV2 Inverter

---

[Translation done.]